

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: T. Kondo : Art Unit:
Serial No.: To Be Assigned : Examiner:
Filed: Herewith :
FOR: IMAGE CODING DEVICE :

JC997 U.S. PTO
09/971727
10/05/01

CLAIM TO RIGHT OF PRIORITY

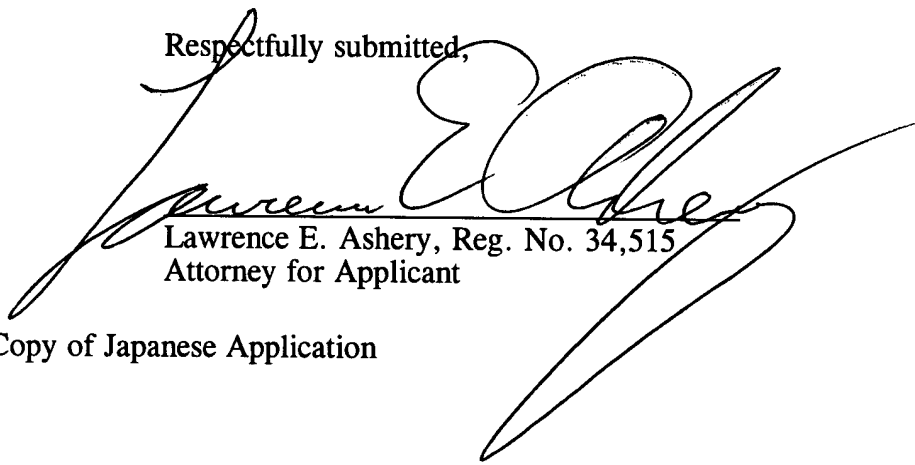
Assistant Commissioner for Patents
Washington, D.C. 20231

S I R :

Pursuant to 35 U.S.C. 119, Applicant's claim to the benefit of filing of prior Japanese Patent Application No. 2000-305829, filed October 5, 2000, as stated in the inventor's Declaration, is hereby confirmed.

A certified copy of the above-referenced application is enclosed.

Respectfully submitted,


Lawrence E. Ashery, Reg. No. 34,515
Attorney for Applicant

LEA/ap

Enclosures: Certified Copy of Japanese Application

Dated: October 5, 2001

Suite 301

One Westlakes, Berwyn

P.O. Box 980

Valley Forge, PA 19482-0980

(610) 407-0700

The Assistant Commissioner for Patents is hereby authorized to charge payment to Deposit Account No. 18-0350 of any fees associated with this communication.

EXPRESS MAIL Mailing Label Number:EL854576115US

Date of Deposit: October 5, 2001

I hereby certify that this paper and fee are being deposited, under 37 C.F.R. § 1.10 and with sufficient postage, using the "Express Mail Post Office to Addressee" service of the United States Postal Service on the date indicated above and that the deposit is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.


Kathleen Libby

日本国特許庁
JAPAN PATENT OFFICE

JC997 U.S. PTO
09/971727
10/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年10月 5日

出願番号

Application Number:

特願2000-305829

出願人

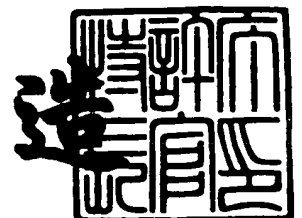
Applicant(s):

松下電器産業株式会社

2001年 9月 4日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3081630

【書類名】 特許願

【整理番号】 2913020987

【提出日】 平成12年10月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 近藤 健

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

 【予納台帳番号】 011305

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 画像符号化装置

【特許請求の範囲】

【請求項 1】 入力画像データに対して特定のデータを画像データの最後に追加するデータ追加手段と、最終入力データの符号化後に符号レジスタの未出力符号の出力を行わない算術符号化手段とを有することを特徴とする画像符号化装置。

【請求項 2】 入力データの終了後に符号レジスタから所定のビット数分のデータが符号データとして出力されるまで特定のデータを入力データとして発生する追加データ発生手段と、入力データの終了後に符号レジスタから所定のビット数分のデータを符号データとして出力したことを符号化の終了とする算術符号化手段とを有することを特徴とする画像符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、2 値画像データに対して算術符号化を用いた符号化を行う画像符号化装置に関する。

【0002】

【従来の技術】

従来の算術符号化を用いた画像符号化装置について、図 3～図 7、図 13～図 15 を参照しながら説明する。図 3 は第 1 の符号化処理を示すフローチャートであり、図 4 は参照画素および符号化対象画素を示す画素図、図 5 は予測テーブルのデータを示すデータ図、図 6 は第 1 の正規化処理を示すフローチャート、図 7 は第 1 の符号出力処理を示すフローチャート、図 13 は従来の画像符号化装置を示すブロック図、図 14 は従来の算術符号化手段の動作を示すフローチャート、図 15 は残符号出力処理を示すフローチャートである。

【0003】

図 13 において、7 は従来の画像符号化装置である。従来の画像符号化装置 7 は従来の算術符号化手段 8 および予測テーブル 8 a から構成される。7 a は画像データが格納される画像メモリである。

【0004】

このように構成された画像符号化装置について、その動作を図14を用いて説明する。

【0005】

図14において、(式1)～(式9)に示すように、まず各種レジスタの初期化が行われる(S101)。

【0006】

NUM = 0 (式1)

A = 0 x 100 (式2)

CT = 8 (式3)

CS = 0 (式4)

C = 0 (式5)

BUFFER = 0 x 00 (式6)

TEMP = 0 (式7)

Amps = 0 (式8)

Alps = 0 (式9)

ここで、(式1)のNUMは入力画素数をカウントするレジスタであり、Aは有効領域幅を示すレジスタの内容で、Aの初期値は0から1の数直線の幅を表わす0 x 100であり、小数部が8ビットの分解能をもつ数直線であることを示している。ここで0 xは以下に続く数値が16進数表記であることを示す。CTは符号の出力処理用のカウンタの内容、CSは桁上がり伝播用保留カウンタの内容、Cは17ビットの符号レジスタの内容、BUFFERは8ビットの符号出力用バッファの内容、TEMPは9ビットのテンポラリレジスタの内容、Ampsは優勢シンボル(以下、「MPS」と記載する)の数直線幅、Alpsは劣勢シンボル(以下LPS)の数直線幅を示している。

【0007】

ステップS101での初期化後に第1の符号化処理が行われる(S102)。

【0008】

図3を用いてステップS102の第1の符号化処理について説明する。

【0009】

図3において、まず、参照画素および符号化装置への入力画素1画素を取得し画素値PIXとする(S11)。予測テーブル8aから参照画素の値をアドレスとして与え、MPSの値とSRL(Shift Right Logical)の値をデータとして取得する。参照画素は図4のように符号化対象画素から8画素おきに3画素を参照し、それぞれの画素値を予測テーブル8aのアドレスA2, A1, A0とする。図5は予測テーブル8aの構造を示す。参照画素の値をアドレスとして、アドレスは0x0~0x7まで、データ幅は4ビットで内3ビットがSRL値、内1ビットがMPS値であるテーブルである。

【0010】

次に、得られたSRLよりAlpsおよびAmpsの値の算出を行う(S12)。次に、MPSの値とPIX値の比較を行い(S13)、一致した場合には有効領域幅Aを優勢シンボル幅Ampsに更新し(S14)、一致しない場合には有効領域幅Aを劣勢シンボル幅Alpsに更新するとともにレジスタの値をC=C+Ampsで更新する(S16)。次に、Aが1/2を切ったかどうかをA<0x80が真が偽かで判定し(S15)、切っている場合には第1の正規化処理で正規化を行い(S17)、Aを1/2以上に戻す処理を行う。そうでなければ第1の符号化処理を終了する。

【0011】

図6は第1の正規化処理S17の動作を示すフローチャートである。

【0012】

図6において、まず、AおよびCの1ビット左シフトを行いCTの値を1減算する(S21)。次に、第1の符号出力処理を行い(S22)、ステップS23においてAが0x80以上になるまでステップS21およびステップS22の処理が繰り返される。

【0013】

図7を用いてステップS22の第1の符号出力処理の動作について説明する。

【0014】

図7において、まず、CTの値が0であるか否かを評価し(S31)、0でな

ければ符号出力処理は行われず、そのまま符号出力処理を終了し、CTが0であれば符号出力処理を行う。符号出力処理部では、Cを19ビット右シフトしたものをTEMPに格納し(S32)、TEMPが0xFFより大きいかな否かの評価を行う(S33)。TEMPが0xFFより大きい場合には、(BUFFER+1)の値を1バイト出力し、次にTEMPの値が0xFF以上であるために桁上がりが生じるので0x00を保留回数CS回分出力し、BUFFERの値をTEMPの下位8ビットの値に更新する(S34)。TEMPが0xFF以下の場合には、TEMPの値が0xFFに等しいかな否かを判定し(S36)、TEMPの値が0xFFに等しい場合には桁上がり考慮のため保留回数CSの値を1インクリメントし、符号出力を保留したままにする(S37)。ステップS36の評価においてTEMPの値が0xFFより小さい場合には、BUFFERの値を1バイト出力し、次にTEMPが0xFFであり桁上がりが生じないため0xFFを保留回数CS回分出力し、BUFFERの値をTEMPの値に更新する(S38)。TEMPの値によりそれぞれの符号出力を行った後に、Cの値をC&0xFFに更新し、CTの値を8に更新して第1の符号出力処理(S22)を終了する(S35)。ここで&は論理積を示す演算子である。

【0015】

このようにして第1の符号化処理が行われた後に入力画素数の1インクリメントを行い(図14のS103)、入力画素数NUMが設定処理画素数と等しいかな評価を行い(S104)、等しくない場合はステップS102、S103を繰り返す、等しい場合には残符号出力処理を行う(S105)。

【0016】

図15を用いて、残符号出力処理(S105)の動作を説明する。

【0017】

残符号出力処理ではAレジスタの情報とCレジスタに残っている既符号化済のデータとから符号の出力を行う。まず、TEMPに(A-1+C)&0x1FFF00を格納し(S201)、TEMPがC以下であるかの評価を行う(S202)。TEMPがC以下の場合には、CをTEMP+0x80に更新し(S203)、TEMPがC以下でない場合にはCをTEMPにする更新を行う(S208)。

）。次に、CをCTビット左シフトを行ない、TEMPにCを8ビット右シフトさせたものを格納する（S204）。次に、TEMPが0xFFより大きいかの評価を行い（S205）、TEMPが0xFFより大きければ桁上がりが生じるので、まず（BUFFER+1）を1バイト符号出力を行い、0x00を保留回数CS回分出力する（S206）。TEMPが0xFF以下の場合には桁上がりが生じないので、まずBUFFERの1バイト符号出力を行い、0xFFを保留回数CS回分出力する（S209）。最後に、Cを8ビット右シフトさせたものの下位8ビットを出力することにより、残符号出力処理（S105）を終了し、従来の算術符号化手段8による処理を終了する。

【0018】

【発明が解決しようとする課題】

しかしながら、上記従来の画像符号化装置7では、画像データの入力終了後にAレジスタ情報とCレジスタに格納されている未出力符号データとから符号出力を行う残符号出力処理（図14のS105）が必要となり、ハードウェア化する際に回路規模の増大および動作クロックの低下を招いていた。

【0019】

この画像符号化装置では、Aレジスタ情報とCレジスタに格納されている未出力符号データとから符号出力を行う残符号出力処理を不要とすることにより、回路規模の増大を抑制し、動作クロックの低下を防止することが要求されている。

【0020】

本発明は、この要求を満たすため、残符号出力処理を不要とすることにより、回路規模の増大を抑制することができると共に動作クロックの低下を防止することができる画像符号化装置を提供することを目的とする。

【0021】

【課題を解決するための手段】

この課題を解決するために本発明の画像符号化装置は、入力画像データに対して特定のデータを画像データの最後に追加するデータ追加手段と、最終入力データの符号化後に符号レジスタの未出力符号の出力を行わない算術符号化手段とを有する構成を備えている。

【 0 0 2 2 】

これにより、残符号出力処理を不要とすることにより、回路規模の増大を抑制することができると共に動作クロックの低下を防止することができる画像符号化装置が得られる。

【 0 0 2 3 】

【発明の実施の形態】

本発明の請求項 1 に記載の画像符号化装置は、入力画像データに対して特定のデータを画像データの最後に追加するデータ追加手段と、最終入力データの符号化後に符号レジスタの未出力符号の出力を行わない算術符号化手段とを有することとしたものである。

【 0 0 2 4 】

この構成により、特定のデータを画像データの最後に十分に追加すれば、符号レジスタのデータは全て吐き出されるので、従来は必要であった残符号出力処理が不要となり、算術符号化手段の終了処理を簡易化することができるという作用を有する。

【 0 0 2 5 】

請求項 2 に記載の画像符号化装置は、入力データの終了後に符号レジスタから所定のビット数分のデータが符号データとして出力されるまで特定のデータを入力データとして発生する追加データ発生手段と、入力データの終了後に符号レジスタから所定のビット数分のデータを符号データとして出力したことを符号化の終了とする算術符号化手段とを有することとしたものである。

【 0 0 2 6 】

この構成により、特定のデータを入力データとして画像データの入力後に十分に発生すれば、符号レジスタのデータは全て吐き出されるので、従来は必要であった残符号出力処理が不要となり、算術符号化手段の終了処理を簡易化することができるという作用を有する。

【 0 0 2 7 】

以下、本発明の実施の形態について、図 1 ～図 1 2 を用いて説明する。

【 0 0 2 8 】

(実施の形態 1)

図 1 は本発明の実施の形態 1 における画像符号化装置を示すブロック図である。

【0029】

図 1 において、1 は画像符号化装置であり、画像符号化装置 1 は、算術符号化手段 2 と予測テーブル 2 a とデータ追加手段 3 とから構成される。1 a は画像データが格納される画像メモリである。

【0030】

このように構成された画像符号化装置について、その概略動作を説明する。

【0031】

図 1 において、まず、データ追加手段 3 は、画像メモリ 1 a 内の画像データの最後に 0×00 を 396 バイト追加する。これは、予測テーブル 2 a のアドレス 0 の SRL 値が 7 の場合である。予測テーブル 2 a の値によって付加バイト数は変化し、符号レジスタのデータ C (後述) を吐き出せるのに十分な数が付加される。その後に算術符号化手段 2 が、画像メモリ 1 a 内の元画像データにデータ追加手段 3 によりデータが付加されたものに対して、予測テーブル 2 a を用いて符号化処理を行う。

【0032】

図 2 は図 1 の算術符号化手段 2 の動作を示すフローチャートである。

【0033】

図 2 において、まず、各種レジスタの初期化が行われる (S1)。

【0034】

NUM = 0 (式 10)

A = 0×100 (式 11)

CT = 8 (式 12)

CS = 0 (式 13)

C = 0 (式 14)

BUFFER = 0×00 (式 15)

TEMP = 0 (式 16)

$$A m p s = 0 \quad (式 1 7)$$

$$A l p s = 0 \quad (式 1 8)$$

ここで (式 1 0) の NUM は入力画素数をカウントするレジスタであり、A は有効領域幅を示すレジスタの内容で、A の初期値は 0 から 1 の数直線の幅を表わす $0 \times 1 0 0$ であり、小数部が 8 ビットの分解能をもつ数直線であることを示している。CT は符号の出力処理用のカウンタ内容であり、CS は桁上がり伝播用保留カウンタ内容、C は 1 7 ビットの符号レジスタ内容、BUFFER は 8 ビットの符号出力用バッファ内容、TEMP は 9 ビットのテンポラリレジスタ内容、Amps は MPS の数直線幅、Alps は LPS の数直線幅を示している。ステップ S 1 での初期化後に第 1 の符号化処理が行われる (S 2)。

【0 0 3 5】

図 3 はステップ S 2 の第 1 の符号化処理を示すフローチャートである。

【0 0 3 6】

図 3 において、まず、参照画素および符号化装置への入力画素 1 画素を取得し画素値 PIX とする (S 1 1)。予測テーブル 2 a から参照画素の値をアドレスとして与え、MPS の値と SRL の値をデータとして取得する。参照画素は図 4 のように符号化対象画素から 8 画素おきに 3 画素を参照し、それぞれの画素値を予測テーブル 2 a のアドレス A 2, A 1, A 0 とする。図 5 は予測テーブル 2 a の構造を示す。参照画素の値をアドレスとして、アドレスは $0 \times 0 \sim 0 \times 7$ まで、データ幅は 4 ビットで内 3 ビットが SRL 値、内 1 ビットが MPS 値であるテーブルである。

【0 0 3 7】

次に、得られた SRL より Alps および Amps の値の算出を行う (S 1 2)。次に、MPS の値と PIX 値の比較を行い (S 1 3)、一致した場合には有効領域幅 A を優勢シンボル幅 Amps に更新し (S 1 4)、一致しない場合には有効領域幅 A を劣勢シンボル幅 Alps に更新するとともに C レジスタの値を $C = C + Amps$ で更新する (S 1 6)。次に、A が $1/2$ を切ったかどうかを $A < 0 \times 8 0$ が真が偽かで判定し (S 1 5)、切っている場合にはステップ S 1 7 の第 1 の正規化処理で正規化を行い、A を $1/2$ 以上に戻す処理を行う。そうで

なければ第1の符号化処理を終了する。

【0038】

図6は第1の正規化処理S17を示すフローチャートである。

【0039】

図6において、まず、AおよびCの1ビット左シフトを行いCTの値を1減算する(S21)。次に、第1の符号出力処理を行い(S22)、Aが0x80以上になるまでステップS21およびステップS22の処理が繰り返される。

【0040】

図7を用いてステップS22の第1の符号出力処理の動作について説明する。

【0041】

図7において、まず、CTの値が0であるか否かを評価し(S31)、0でなければ符号出力処理は行われず、そのまま符号出力処理を終了し、CTが0であれば符号出力処理を行う。符号出力処理部では、Cを8ビット右シフトしたものをTEMPに格納し(S32)、TEMPが0xFFより大きいのか否かの評価を行う(S33)。TEMPが0xFFより大きい場合には、(BUFFER+1)の値を1バイト出力し、次にTEMPの値が0xFF以上であるために桁上がりが生じるので0x00を保留回数CS回分出力し、BUFFERの値をTEMPの下位8ビットの値に更新する(S34)。TEMPが0xFF以下の場合には、TEMPの値が0xFFに等しいか否かを判定し(S36)、TEMPの値が0xFFに等しい場合には桁上がり考慮のため保留回数CSの値を1インクリメントし、符号出力を保留したままにする(S37)。ステップS36の評価においてTEMPの値が0xFFより小さい場合には、BUFFERの値を1バイト出力し、次にTEMPが0xFFであり桁上がりが生じないため0xFFを保留回数CS回分出力し、BUFFERの値をTEMPの値に更新する(S38)。TEMPの値によりそれぞれの符号出力を行った後に、Cの値をC&0xFFに更新し、CTの値を8に更新して第1の符号出力処理(S22)を終了する(S35)。ここで&は論理積を示す演算子である。

【0042】

このようにして第1の符号化処理(S2)が行われた後に図2のステップS3

において入力画素数の 1 インクリメントを行い、ステップ S 4 において入力画素数 NUM が (元画像データ画素数 + データ追加手段 3 付加画素数) である設定処理画素数と等しいか評価を行い、等しくない場合は S 2, S 3 のステップを繰り返し、等しい場合には算術符号化手段 2 による算術符号化処理を終了する。

【 0 0 4 3 】

以上のようにして本発明の実施の形態 1 における画像符号化装置による画像符号化は行われる。

【 0 0 4 4 】

以上のように本実施の形態によれば、入力画像データに対して特定のデータを画像データの最後に追加するデータ追加手段 3 と、最終入力データの符号化後に符号レジスタの未出力符号の出力を行わない算術符号化手段 2 とを有することにより、特定のデータを画像データの最後に十分に追加すれば、符号レジスタのデータは全て吐き出されるので、従来は必要であった残符号出力処理が不要となり、算術符号化手段 2 の終了処理を簡易化することができる。

【 0 0 4 5 】

(実施の形態 2)

図 8 は本発明の実施の形態 2 における画像符号化装置を示すブロック図である。

【 0 0 4 6 】

図 8 において、4 は画像符号化装置であり、画像符号化装置 4 は、算術符号化手段 5 と予測テーブル 5 a と追加データ発生手段 6 から構成される。4 a は画像データが格納される画像メモリである。

【 0 0 4 7 】

図 9 は図 8 の算術符号化手段 5 の動作を示すフローチャートである。

【 0 0 4 8 】

図 9 において、まず、各種レジスタの初期化が行われる (S 4 1)。

【 0 0 4 9 】

NUM = 0 (式 1 9)

A = 0 x 1 0 0 (式 2 0)

CT = 8 (式 2 1)

CS = 0 (式 2 2)

C = 0 (式 2 3)

BUFFER = 0 x 0 0 (式 2 4)

TEMP = 0 (式 2 5)

Amps = 0 (式 2 6)

Alps = 0 (式 2 7)

eflag = 0 (式 2 8)

ecount = 0 (式 2 9)

ここで (式 1 9) の NUM は入力画素数をカウントするレジスタであり、A は有効領域幅を示すレジスタ内容で、A の初期値は 0 から 1 の数直線の幅を表わす 0 x 1 0 0 であり、小数部が 8 ビットの分解能をもつ数直線であることを示している。CT は符号の出力処理用のカウンタ内容であり、CS は桁上がり伝播用保留カウンタ内容、C は 1 7 ビットの符号レジスタ内容、BUFFER は 8 ビットの符号出力用バッファ内容、TEMP は 9 ビットのテンポラリレジスタ内容、Amps は MPS の数直線幅、Alps は LPS の数直線幅、eflag は入力画像データの終了フラグ、ecount は終了フラグ検出後の符号データ出力カウンタ内容を示している。ステップ S 4 1 での初期化後に第 2 の符号化処理が行われる (S 4 2)。

【0 0 5 0】

図 1 0 は第 2 の符号化処理 (S 4 2) を示すフローチャートである。

【0 0 5 1】

図 1 0 において、まず、参照画素を取得するが、eflag が立っていない場合には符号化装置への入力画素 1 画素を取得し画素値 PIX とし、eflag が立っている場合には追加データ発生手段 6 により発生されたデータを画素値 PIX とする (S 5 1)。予測テーブル 5 a から参照画素の値をアドレスとして与え、MPS の値と SRL の値をデータとして取得する。参照画素は図 4 のように符号化対象画素から 8 画素おきに 3 画素を参照し、それぞれの画素値を予測テーブル 5 a のアドレス A 2, A 1, A 0 とする。図 5 は予測テーブル 5 a の構造を示

す。参照画素の値をアドレスとして、アドレスは $0 \times 0 \sim 0 \times 7$ まで、データ幅は4ビットで内3ビットがSRL値、内1ビットがMPS値であるテーブルである。

【0052】

次に、得られたSRLよりAlpsおよびAmpsの値の算出を行う(S52)。次に、MPSの値とPIX値の比較を行い(S53)、一致した場合には有効領域幅Aを優勢シンボル幅Ampsに更新し(S54)、一致しない場合には有効領域幅Aを劣勢シンボル幅Alpsに更新するとともにレジスタの値を $C = C + \text{Amps}$ で更新する(S56)。次に、Aが $1/2$ を切ったかどうかを $A < 0 \times 80$ が真が偽かで判定し(S55)、切っている場合には第2の正規化処理で正規化を行い(S57)、Aを $1/2$ 以上に戻す処理を行う。そうでなければ第2の符号化処理を終了する。

【0053】

図11は第2の正規化処理(S57)を示すフローチャートである。

【0054】

図11において、まず、AおよびCの1ビット左シフトを行いCTの値を1減算する(S58)。次に、第2の符号出力処理を行い(S59)、Aが 0×80 以上になるまでS58およびS59の処理を繰り返す(S60)。

【0055】

図12は第2の符号出力処理(S59)を示すフローチャートである。

【0056】

図12において、まず、CTの値が0であるか否かを評価し(S61)、0でなければ符号出力処理は行わず、そのまま符号出力処理を終了し、CTが0であれば符号出力処理を行う。符号出力処理部では、Cを8ビット右シフトしたものをTEMPに格納し(S62)、TEMPが $0 \times FF$ より大きいのか否かの評価を行う(S63)。TEMPが $0 \times FF$ より大きい場合には、(BUFFER+1)の値を1バイト出力し、次にTEMPの値が $0 \times FF$ 以上であるために桁上がりが生じるので 0×00 を保留回数CS回分出力し、BUFFERの値をTEMPの下位8ビットの値に更新し、elfagが立っていればecountの値を

1 インクリメントする (S 6 4)。TEMP が 0 x F F 以下の場合には、TEMP の値が 0 x F F に等しいか否かを判定し (S 6 6)、TEMP の値が 0 x F F に等しい場合には、桁上がり考慮のため保留回数 C S の値を 1 インクリメントし、符号出力を保留したままにする (S 6 7)。ステップ S 6 6 の評価において TEMP の値が 0 x F F より小さい場合には、B U F F E R の値を 1 バイト出力し、次に TEMP が 0 x F F であり桁上がりが生じないため 0 x F F を保留回数 C S 回の出力し、B U F F E R の値を TEMP の値に更新し、e l f a g が立っていれば e c o u n t の値を 1 インクリメントする (S 6 8)。TEMP の値によりそれぞれの符号出力を行った後に、C の値を C & 0 x 7 F F F F に更新し、C T の値を 8 に更新して第 2 の符号出力処理 (S 5 9) を終了する (S 6 5)。

【 0 0 5 7 】

このようにして、第 2 の符号化処理が行われた後に図 9 の e c o u n t が e n u m の設定値と一致しているか否かの評価を行い (S 4 3)、一致していれば算術符号化手段 5 による算術符号化処理を終了し、一致していなければ入力画素数の 1 インクリメントを行い、入力画素数 N U M が設定処理画素数と等しい場合に e f l a g を立てステップ S 4 2 に戻る (S 4 4)。

【 0 0 5 8 】

以上のようにして、本実施の形態における画像符号化装置による画像符号化は行われる。

【 0 0 5 9 】

以上のように本実施の形態によれば、入力データの終了後に符号レジスタから所定のビット数分のデータが符号データとして出力されるまで特定のデータを入力データとして発生する追加データ発生手段 6 と、入力データの終了後に符号レジスタから所定のビット数分のデータを符号データとして出力したことを符号化の終了とする算術符号化手段 5 とを有することにより、特定のデータを入力データとして画像データの入力終了後に十分に発生すれば、符号レジスタのデータは全て吐き出されるので、従来は必要であった残符号出力処理が不要となり、算術符号化手段 5 の終了処理を簡易化することができる。

【 0 0 6 0 】

【発明の効果】

以上説明したように本発明の請求項 1 に記載の画像符号化装置によれば、入力画像データに対して特定のデータを画像データの最後に追加するデータ追加手段と、最終入力データの符号化後に符号レジスタの未出力符号の出力を行わない算術符号化手段とを有することにより、特定のデータを画像データの最後に十分に追加すれば、符号レジスタのデータは全て吐き出されるので、従来は必要であった残符号出力処理が不要となり、算術符号化手段の終了処理を簡易化することができ、残符号出力処理が不要となることによるハードウェアの減少により、回路規模の増大を抑制することができると共に動作クロックの低下を防止することができるという有利な効果が得られる。

【0061】

請求項 2 に記載の画像符号化装置によれば、入力データの終了後に符号レジスタから所定のビット数分のデータが符号データとして出力されるまで特定のデータを入力データとして発生する追加データ発生手段と、入力データの終了後に符号レジスタから所定のビット数分のデータを符号データとして出力したことを符号化の終了とする算術符号化手段とを有することにより、特定のデータを入力データとして画像データの入力終了後に十分に発生すれば、符号レジスタのデータは全て吐き出されるので、従来は必要であった残符号出力処理が不要となり、算術符号化手段の終了処理を簡易化することができ、残符号出力処理が不要となることによるハードウェアの減少により、回路規模の増大を抑制することができると共に動作クロックの低下を防止することができるという有利な効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 における画像符号化装置を示すブロック図

【図 2】

図 1 の算術符号化手段の動作を示すフローチャート

【図 3】

第 1 の符号化処理を示すフローチャート

【図 4】

参照画素および符号化対象画素を示す画素図

【図 5】

予測テーブルのデータを示すデータ図

【図 6】

第 1 の正規化処理を示すフローチャート

【図 7】

第 1 の符号出力処理を示すフローチャート

【図 8】

本発明の実施の形態 2 における画像符号化装置を示すブロック図

【図 9】

図 8 の算術符号化手段の動作を示すフローチャート

【図 1 0】

第 2 の符号化処理を示すフローチャート

【図 1 1】

第 2 の正規化処理を示すフローチャート

【図 1 2】

第 2 の符号出力処理を示すフローチャート

【図 1 3】

従来 of 画像符号化装置を示すブロック図

【図 1 4】

従来 of 算術符号化手段の動作を示すフローチャート

【図 1 5】

残符号出力処理を示すフローチャート

【符号の説明】

1、4 画像符号化装置

1 a、4 a 画像メモリ

2、5 算術符号化手段

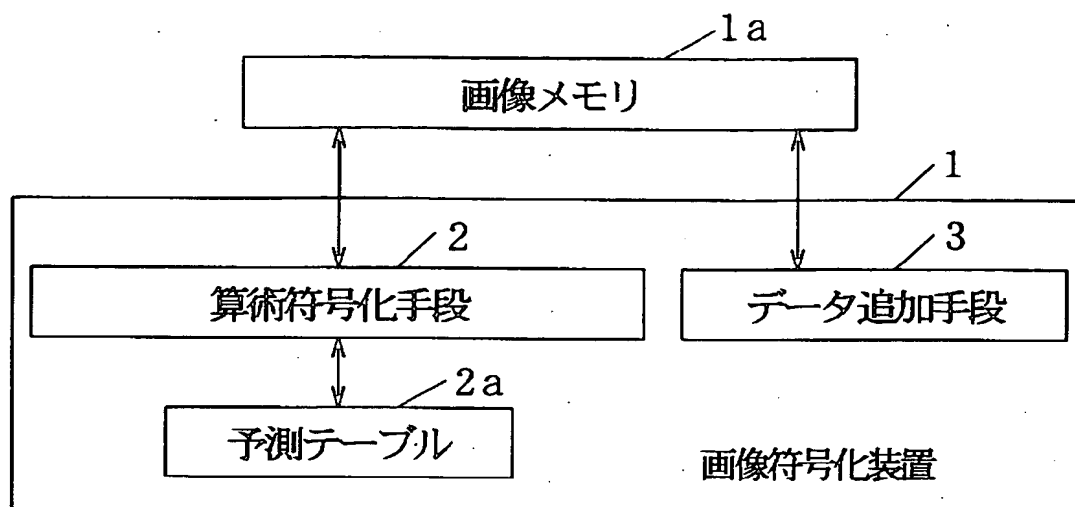
2 a、5 a 予測テーブル

3 データ追加手段

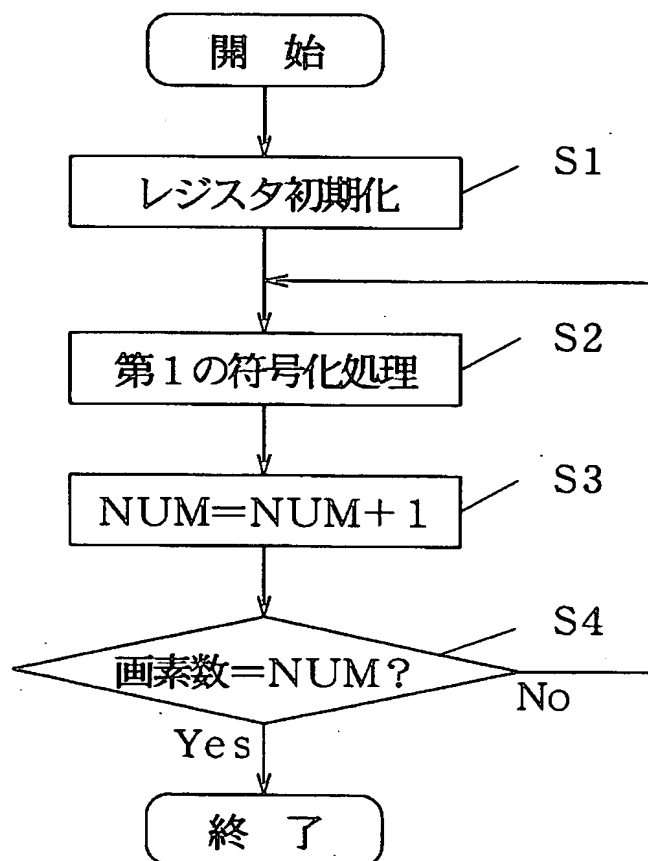
6 追加データ発生手段

【書類名】 図面

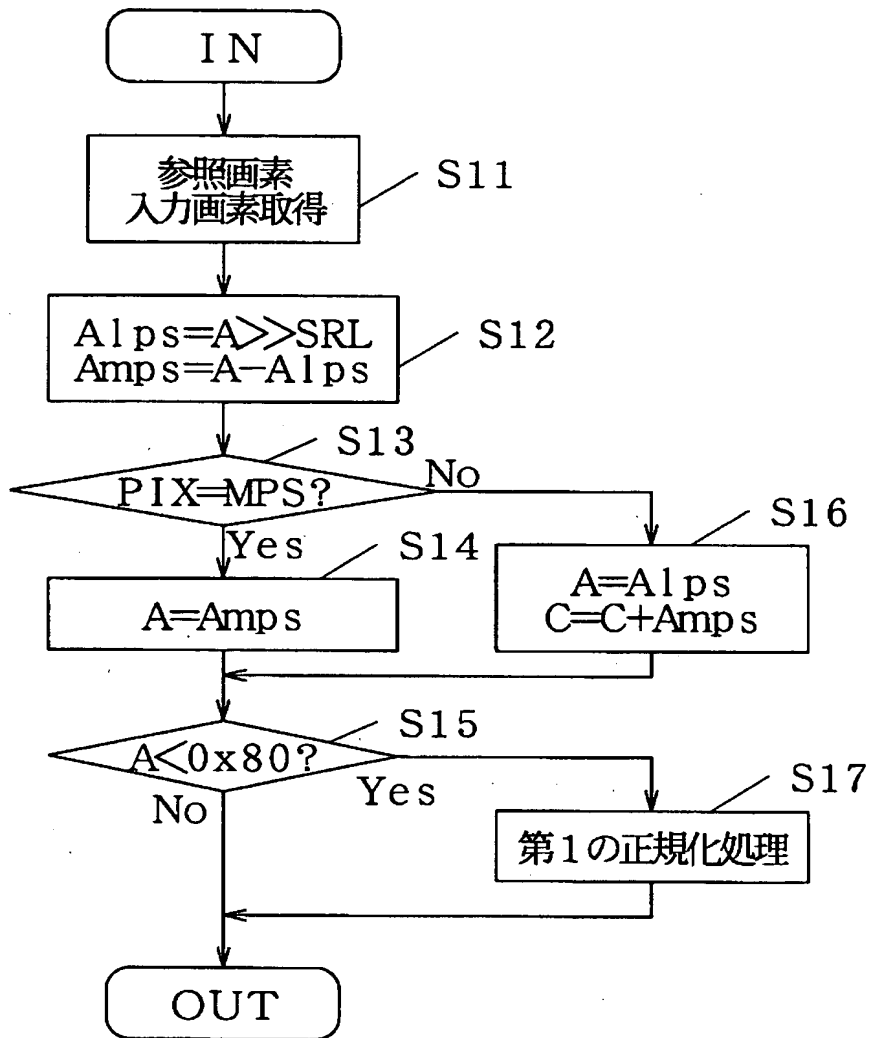
【図 1】



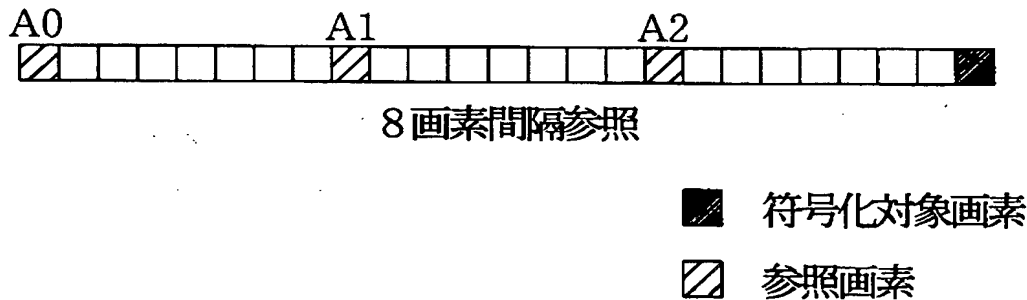
【図 2】



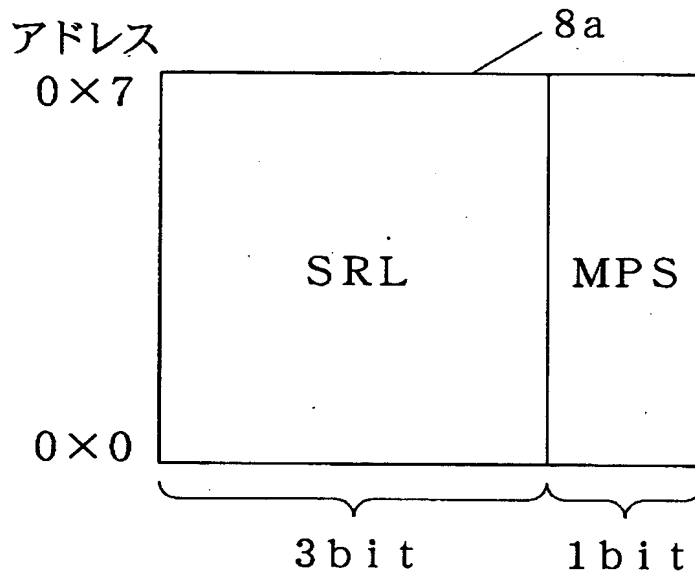
【図 3】



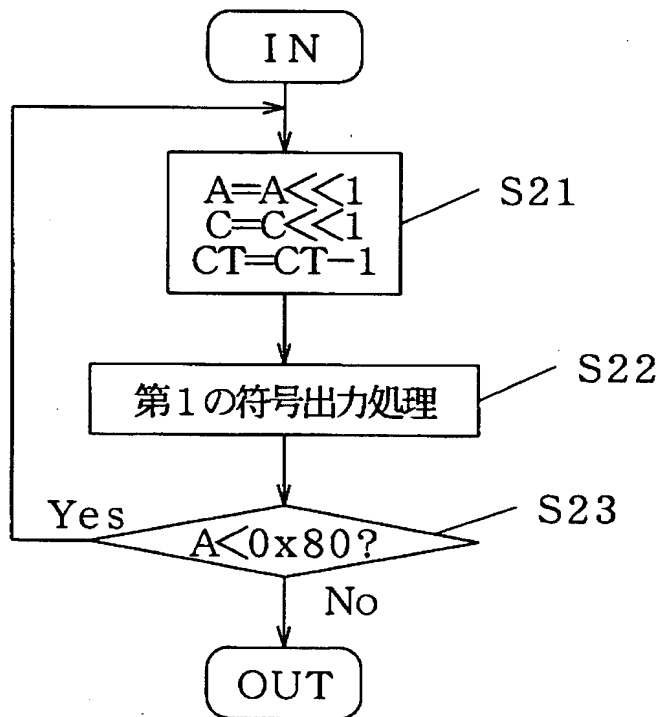
【図 4】



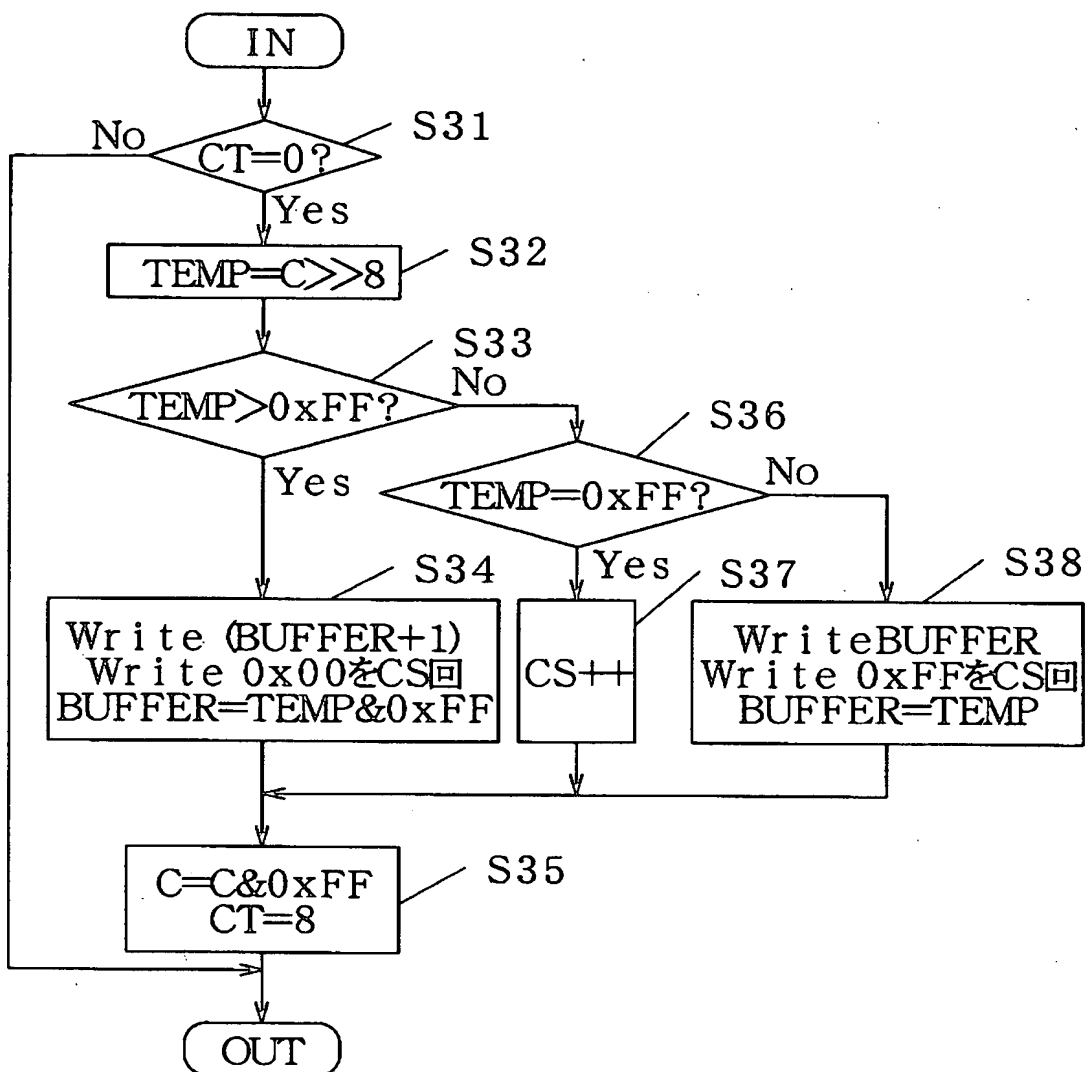
【図 5】



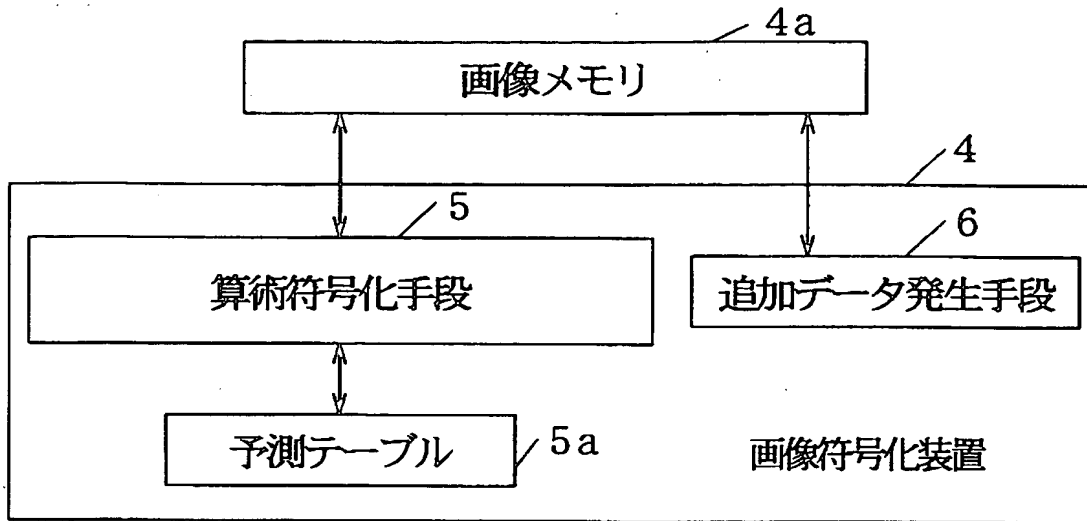
【図 6】



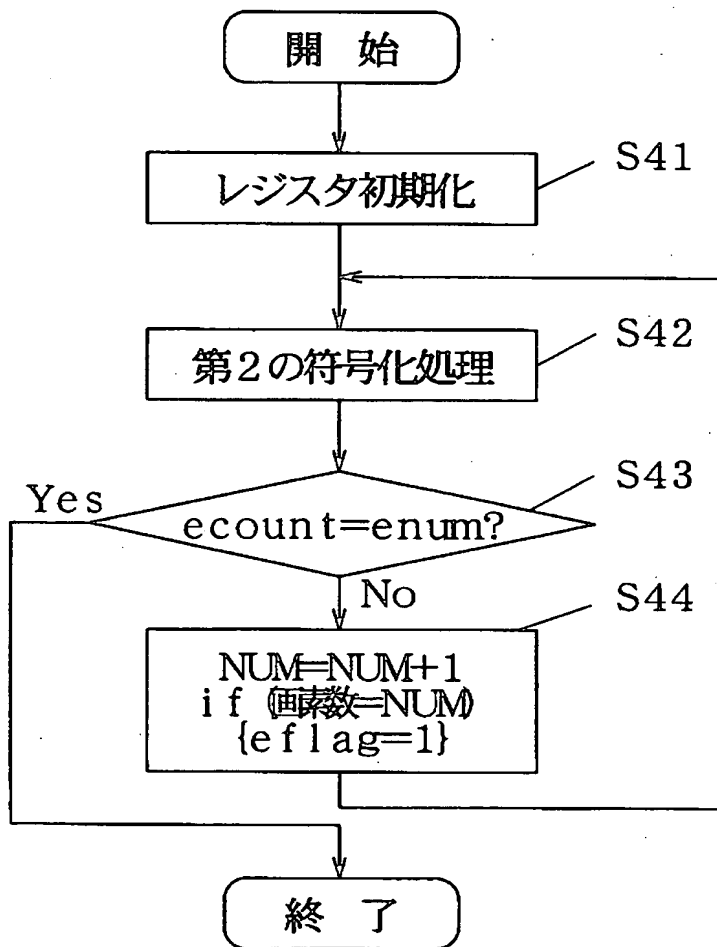
【図 7】



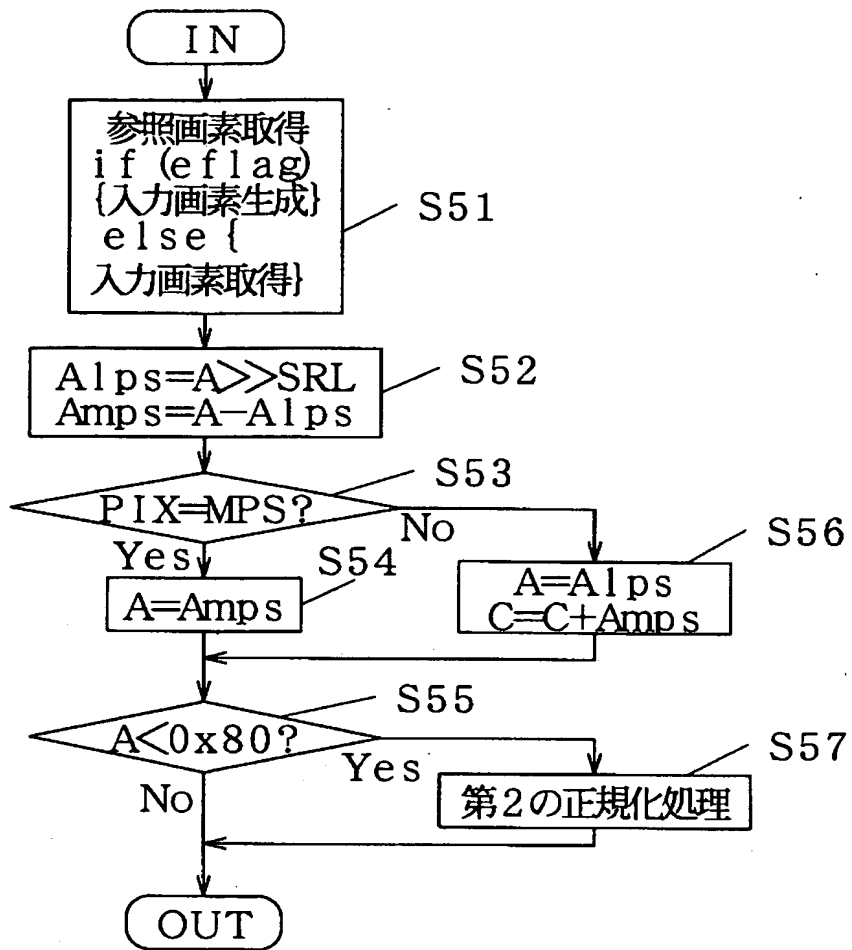
【図 8】



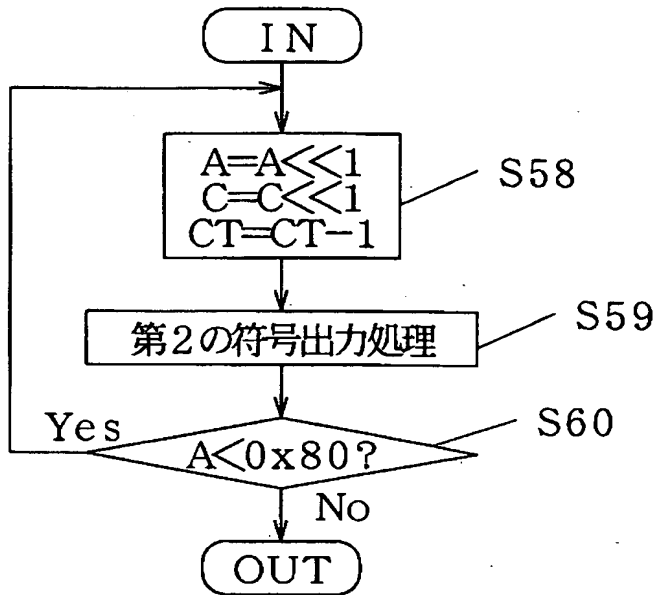
【図 9】



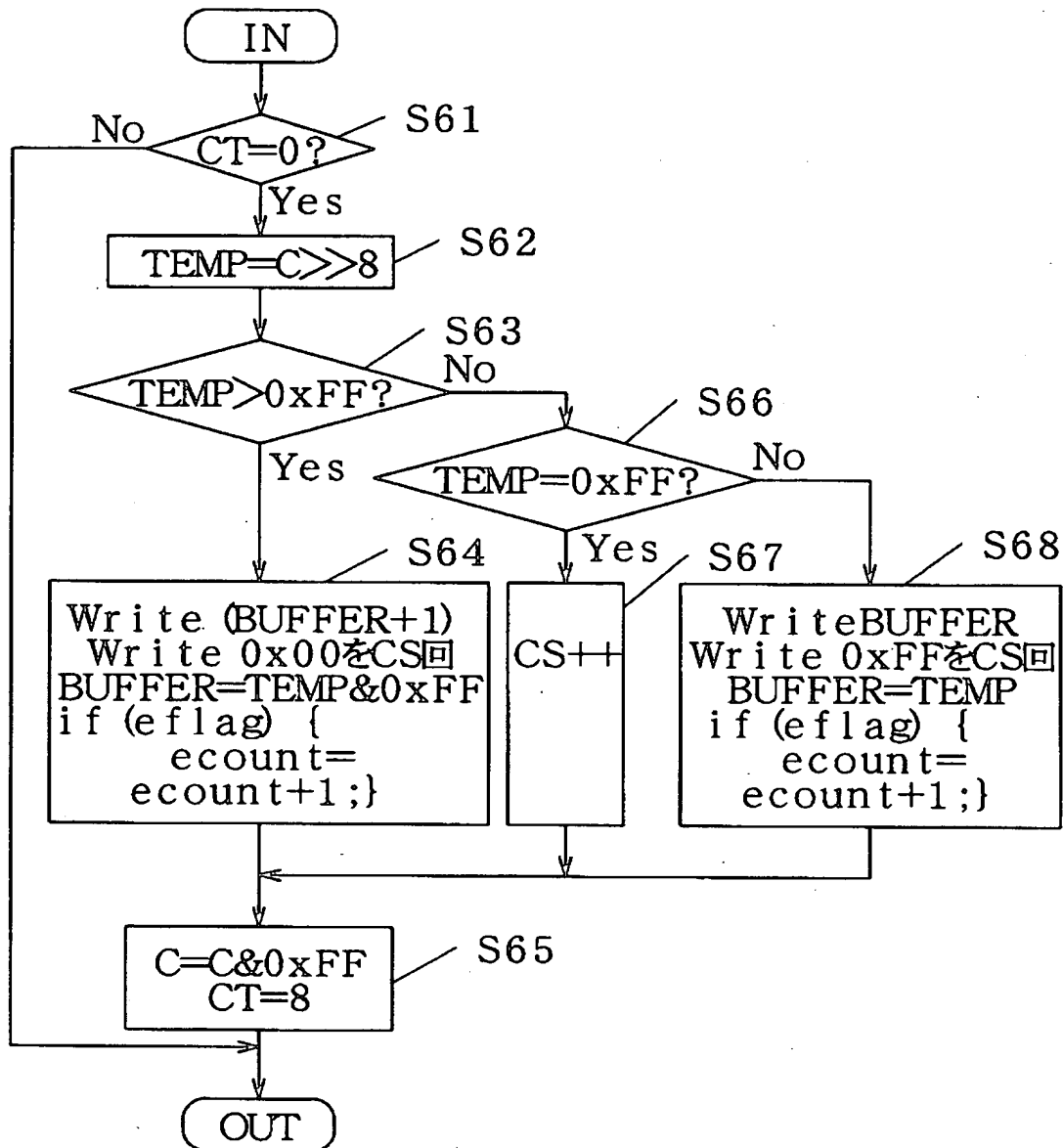
【図 10】



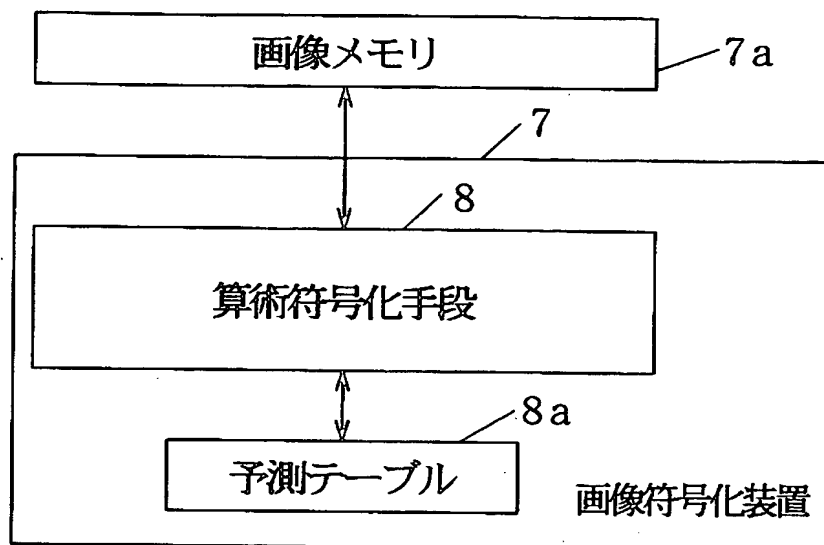
【図 1 1】



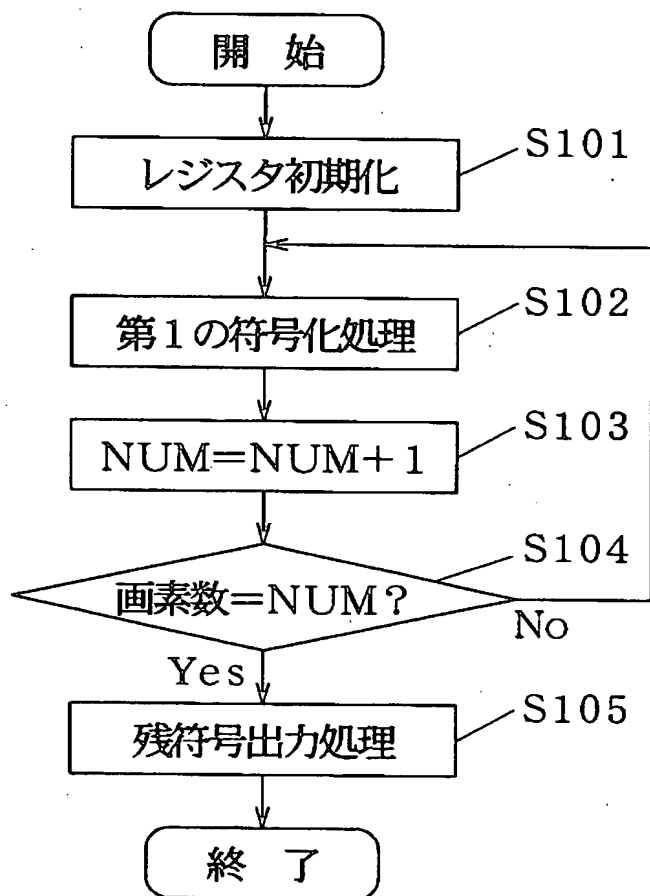
【図12】



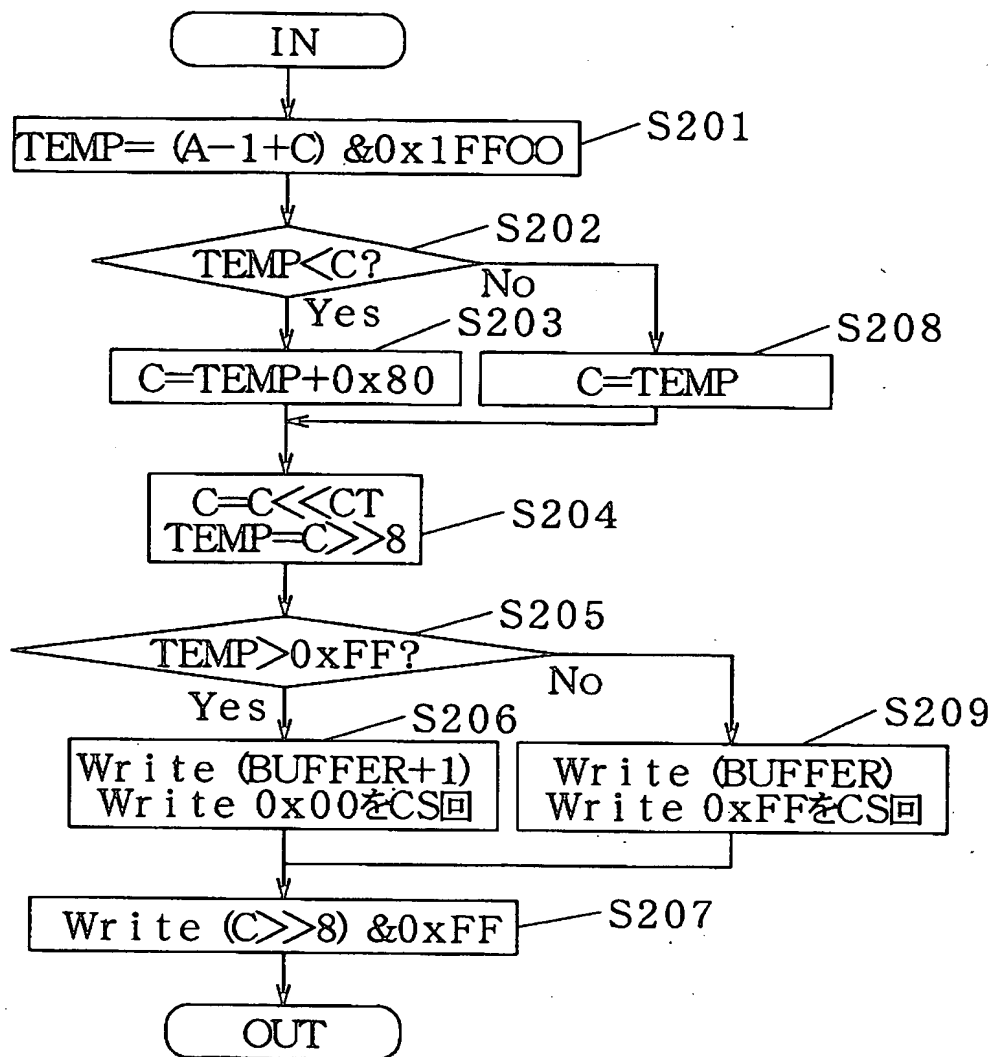
【图 13】



【圖 14】



【図15】



【書類名】 要約書

【要約】

【課題】 残符号出力処理を不要とすることにより、回路規模の増大を抑制することができると共に動作クロックの低下を防止することができる画像符号化装置を提供することを目的とする。

【解決手段】 入力画像データに対して特定のデータを画像データの最後に追加するデータ追加手段 3 と、最終入力データの符号化後に符号レジスタの未出力符号の出力を行わない算術符号化手段 2 とを有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社